

存储系统

知识目标

- 掌握存储器的概念；
- 了解存储器的分类；
- 了解存储器的主要性能指标；
- 掌握随机存取存储器RAM的原理；
- 掌握只读存储器ROM的原理；
- 理解高速缓冲存储器；
- 理解三级存储体系

存储器的分类

1. 按存储介质分类

(1) 半导体存储器

(2) 磁表面存储器

(3) 光表面存储器



2. 按存取方式分类

(1) 随机存储器RAM (Read Access Memory) 读出不变，写入更新；断电后信息丢失

(2) 只读存储器ROM (Read Only Memory) 只读不写；断电后信息不丢失

3. 按信息的可保存性分类

(1) 易失性存储器

(2) 非易失性存储器

4. 按在计算机中的作用分类

内存储器（主存储器）、外存储器（辅助存储器）和缓冲存储器等

存储器的主要性能指标

存取时间 存储器存取信息所需的时间，用存取周期表示。

存取周期：完成一次存储器读（或写）操作所需的时间。

存储周期 连续启动两次独立存储器操作所需间隔的最短时间。

存储容量 存储器所能容纳的二进制信息量，以字节为单位来衡量。

计算方法

(1) 存储单元数 \times 位数

存储单元数由 地址线的位数 决定，

位数由 数据线的位数 决定

可靠性

(2) 最大存储单元地址 - 最小存储单元地址 + 1

性价比

典型例题

1. 内存的存取时间是以纳秒 (ns) 为单位
2. 计算机内存中某段存储空间2KB，该段存储空间末地址为9FFFFH，则首地址为9F800 H
3. 某存储空间的存储容量为64. 25KB，起始地址是020C4H，则以十六进制表示的末地址是121C3 H

静态随机存储器

1. 基本存储单元

SRAM的基本存储单元电路是由6个MOS管组成的 双稳态触发器

2. 存储体

地址线的位数 n 与存储单元的数量 N 的关系 $N=2^n$

3. 地址译码器

两种译码方式：
(1) 单译码方式——适用于小容量存储器
(2) 双译码方式——适用于大容量存储器

4. 双译码方式译码线的计算方式： $2 \times 2^{n/2}$

典型例题

假设某机器的地址线为10根，采用单译码时，译码线有1024个，分别对应1024个地址；采用双译码器时，则两个输入端各有5根线，经译码器出去的输出线 $32 \times 2 = 64$ 根，对应的地址仍是1024个，但从译码器出去的输出线却明显减少。

静态随机存储器

5. 主存储器的组织

(1) 位扩展法 (并 联扩展) 如用 $1\text{K} \times 4$ 位芯片组成一个容量为 $1\text{K} \times 8$ 位的存储器, 则需要芯片数目为: $8/4=2$ 个

(2) 字扩展法 (串 联扩展) 如用 $1\text{K} \times 4$ 位芯片组成一个容量为 $16\text{K} \times 4$ 位的存储器, 则需要芯片数目为: $16/1=16$ 个


(3) 字位扩展法 如用 $8\text{K} \times 8$ 位芯片组成一个容量为 $1\text{K} \times 16$ 位的存储器, 则需要芯片数目为: $(8/1) \times (16/8) = 16$ 个

6. 与CPU的连接

线选方案 用低位地址进行每片内的存储单元寻址，用高位地址线作为各片的片选信号线，其构成的存储器地址是不连续的，适应于较小的存储系统。

译码器方案 用低位地址对每片内的存储单元寻址，用高位地址经译码器译码输出进行片选，其构成的存储器地址是连续的，广泛应用于各存储系统。

典型例题

1. RAM的特点是：存储内容“读出不变 写入更新”
2. 某SRAM芯片，存储容量为 $64K \times 16$ 位，该芯片的地址线 and 数据线数目为 16, 16
3. 若要组成 $16K \times 8$ 位的存储器，则需要Intel2114芯片（ 1024 字 $\times 4$ 位/片）的数量是 **32片**
4. 用64片Intel2114芯片（ 1024×4 ）组成存储体，该存储体用4位地址信号作为片选译码输入，则该**存储器总字长**为 **16** 位
 数据总线的宽度

动态随机存储器

1. 工作原理

动态DRAM是依赖与电容充电电荷来存储信息的。

2. 为了保持存储数据的正确，必须反复对存储单元进行充电，以恢复原来的电荷，这一过程称为刷新，刷新周期一般为2ms

3. 刷新的方式 集中式刷新、分散式刷新、异步式刷新

只读存储器

掩模式只读存储器

MROM

只能读，不能写

可编程只读存储器

PROM

只能写入一次

可擦除可编程只读存储器

EPROM

紫外线擦除，全部擦除

电擦除可编程只读存储器

EEPROM

在线修改

存储器的分级结构

1. 高速缓冲存储器

目的：解决CPU与主存速度不匹配的矛盾。工作过程由硬件实现
主存

在主存—Cache存储体系中，当前最活跃的程序和数据所有的程序和数据都在_____中，Cache用来存放_____程序运行的局部性

访问的命中率

Cache的设计是利用了_____原理，Cache的运行效率取决于Cache介于了CPU和内存之间，与主存之间的数据传送以块方式于式进行，Cache解决了CPU与内存速度不匹配的矛盾。

存储器的分级结构

1. 高速缓冲存储器

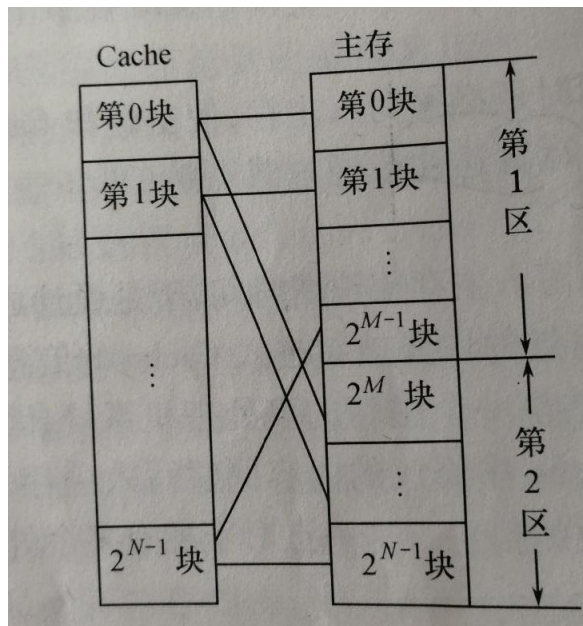
目的：解决CPU与主存速度不匹配的矛盾。工作过程由硬件实现

在主存—Cache存储体系中，所有的程序和数据都在主存中，Cache用来存放当前最活跃的程序和数据

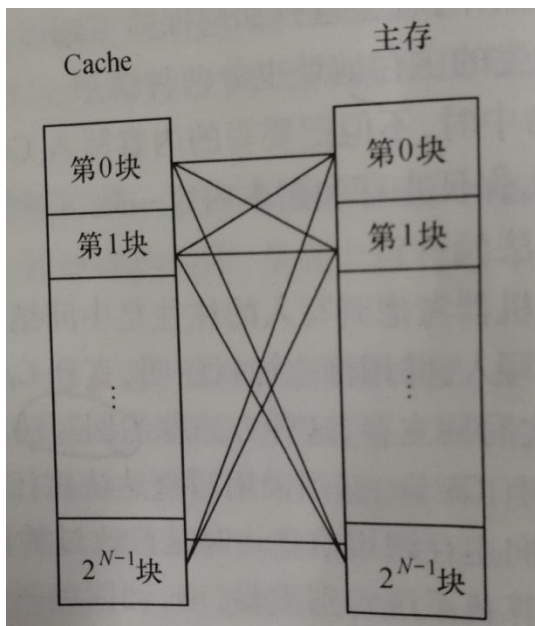
可行性原理：Cache的设计是利用了程序运行的局部性原理，Cache的运行效率取决于访问的命中率

Cache介于了CPU和内存之间，与主存之间的数据传送以块方式进行，Cache解决了CPU与内存速度不匹配的矛盾。

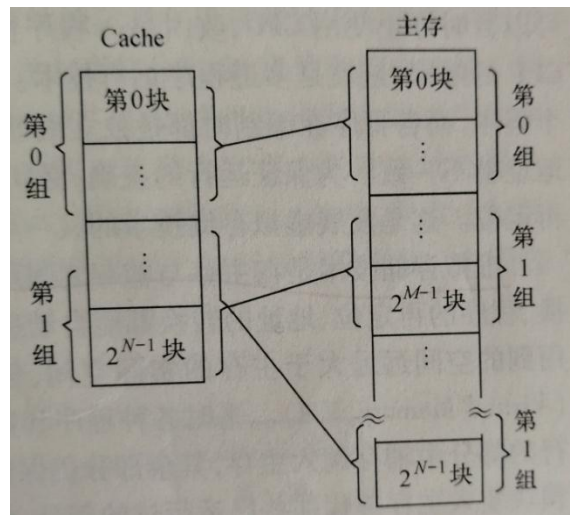
地址映射



组相联映射



直接映射



全相联映射

将存储空间分组，组间直接映射，主存的字块映射到CACHE的指定位置，实现简单，命中率低。

主存的字块映射到CACHE的任意位置，实现复杂，命中率高。

替换策略

1.先进先出策略—FIFO策略

把最先调入Cache的字块替换出去。

2.近期最少使用策略—LRU策略

把当前Cache中近期使用次数最少的字块替换出去。

虚拟存储器

1.虚拟存储技术是为了克服内存不足而提出的

2.管理方式段式管理、页式管理、段页式管理

3.虚拟存储器（VM）的判断标准

（1）必须要有地址的虚实转换

（2）可以为用户提供一个比物理空间大的多的用户编程空间

存储器的分级结构

1. Cache—主存存储层次，解决了价格与速度矛盾
2. 主存—辅存存储层次，解决了容量与成本矛盾